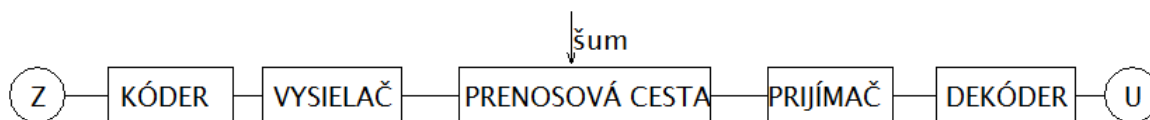


Základné pojmy

Správa - obraz udalostí jedného objektu, ktorý sa prenáša na druhý objekt. Správa má byť nositeľom informácie.

Informácia - znižuje neurčitosť rozhodovania pred jej prijatím. Prenos informácií sa uskutočňuje v prenosovom reťazci.

Kód - je jednoznačný predpis, ktorým sa priradzuje k signálu jeho informačný význam. Kódovanie je prevod informácie z pôvodného súboru znakov do iného súboru.



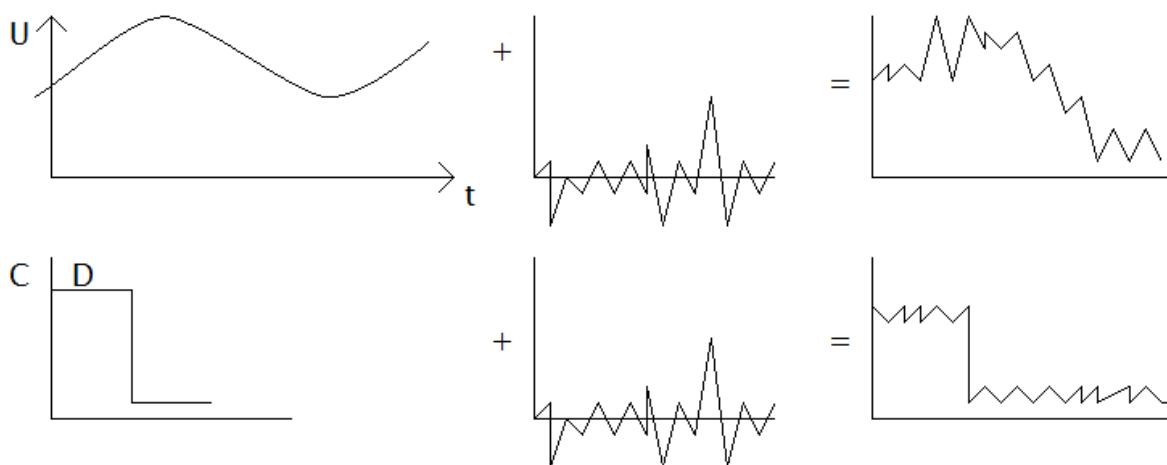
Šum - je to signál o náhodnej veľkosti a náhodnej frekvencii .

Signál - fyzikálny nositeľ informácie.

Analógový - nadobúda nekonečný počet možných hodnôt

Číslicový (digitálny) - nadobúda konečný počet možných hodnôt

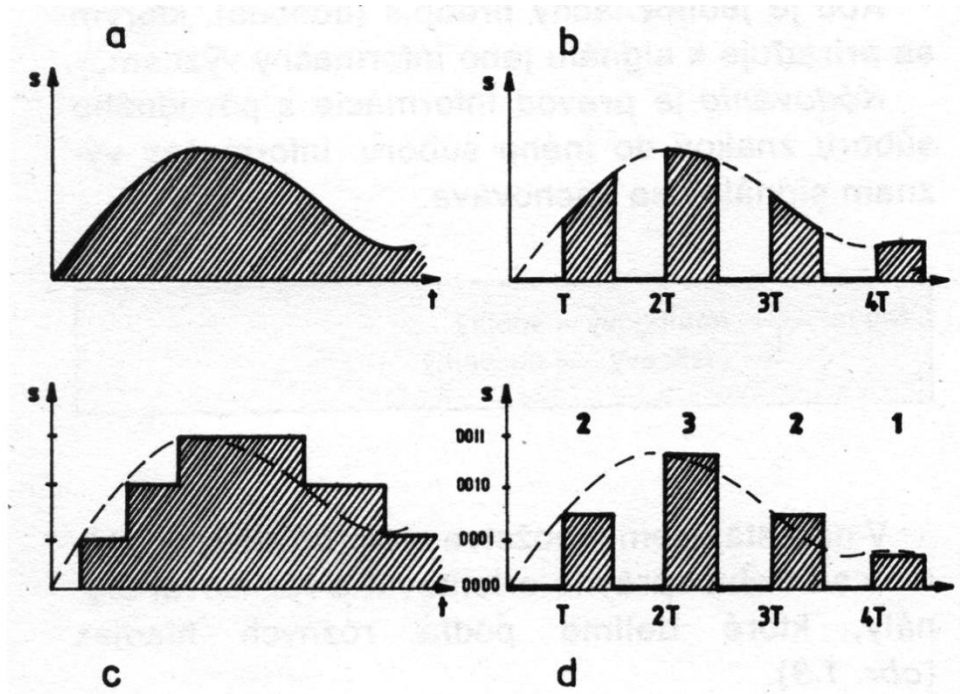
V elektronike sa informácia sa prenáša zmenou napätia.



Číslicové spracovanie - zavádzame z dôvodu vysokej odolnosti voči šumu a jednoduchšej realizácie logického obvodu

Číslicová technika - 2 stavy :

-logická jednotka	(5V)
-logická nula	(0V)



a- spojitý, analógový

b – nespojitý, analógový

c – spojitý, číslicový

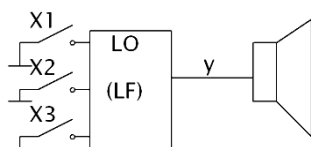
d – nespojitý, číslicový

Logický obvod

Logický člen - logický obvod realizujúci logickú funkciu, logický obvod je zložený z logických členov.

Logická funkcia - je predpis, ktorým v každej kombinácii nezávislých premenných (X, A, B, C, ...) jednoznačne predpisuje hodnotu závislej logickej premennej (Y).

(závislá premenná)- $Y = f(X_1; X_2; \dots; X_n)$ - (nezávislá premenná)



Majme funkciu n nezávisle premenných - $X_1, X_2, \dots, X_n$. Každá nezávislá premenná môže nadobúdať Q stavov. ($Q = 0, Q = 1$). Maximálny počet od seba rôznych entít je Q^n (t.j. počet možných kombinácií). Pr. : A, B, Y t.j. $Q = 2^2 = 4$

Pravdivostná tabuľka – spôsob zápisu logickej funkcie.

Základné logické funkcie a logické členy:

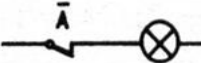
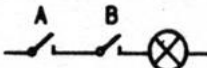
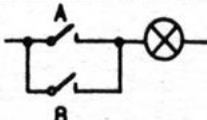
POZNÁMKA:

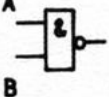
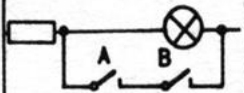
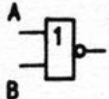
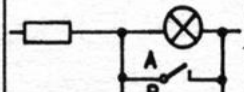
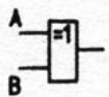
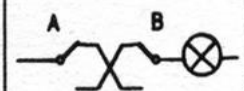
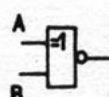
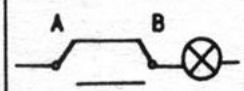
Algebraický zápis logickej funkcie:

. - logický súčin $\overline{}$ - negácia

$$\text{Pr: } Y = (A \cdot \overline{B} + \overline{A} \cdot B) \cdot C \cdot D$$

+ - logický súčet (); [] - zátvorky

VÝZNAM	ČLEN	SYMBOL	MAPA	VÝRAZ	MODEL	VÝS TUP		Pravdivostná tabuľka															
							ak																
NEGÁCIA	NOT			$\bar{A}$		1	vstup je 0	<table><tr><td>X</td><td>Y</td></tr><tr><td>0</td><td>1</td></tr><tr><td>1</td><td>0</td></tr></table>	X	Y	0	1	1	0									
						X	Y																
0	1																						
1	0																						
0	vstup je 1																						
LOGICKÝ SÚČIN	AND			$A \cdot B$		1	všetky vstupy sú 1	<table><tr><td>B</td><td>A</td><td>Y</td></tr><tr><td>0</td><td>0</td><td>0</td></tr><tr><td>0</td><td>1</td><td>0</td></tr><tr><td>1</td><td>0</td><td>0</td></tr><tr><td>1</td><td>1</td><td>1</td></tr></table>	B	A	Y	0	0	0	0	1	0	1	0	0	1	1	1
						B	A		Y														
0	0	0																					
0	1	0																					
1	0	0																					
1	1	1																					
0	1 a viac vstupov sú 0																						
LOGICKÝ SÚČET	OR			$A + B$		1	1 alebo viac vstupov sú 1																
						0	všetky vstupy sú 0																
								<table><tr><td>B</td><td>A</td><td>Y</td></tr><tr><td>0</td><td>0</td><td>0</td></tr><tr><td>0</td><td>1</td><td>1</td></tr><tr><td>1</td><td>0</td><td>1</td></tr><tr><td>1</td><td>1</td><td>1</td></tr></table>	B	A	Y	0	0	0	0	1	1	1	0	1	1	1	1
B	A	Y																					
0	0	0																					
0	1	1																					
1	0	1																					
1	1	1																					

VÝZNAM	ČLEN	SYMBOL	MAPA	VÝRAZ	MODEL	VÝSTUP	
							ak
NEGOVANÝ SÚČIN	NAND			$\overline{A \cdot B}$ $\bar{A} + \bar{B}$		1	1 alebo viac vstupov sú 0
						0	všetky vstupy sú 1
NEGOVANÝ SÚČET	NOR			$\overline{A + B}$ $\bar{A} \cdot \bar{B}$		1	všetky vstupy sú 0
						0	1 alebo viac vstupov sú 1
VÝLUČNÝ SÚČET	EXL-OR			$A \oplus B$ $A\bar{B} + \bar{A}B$		1	len 1 vstup je 1
						0	oba vstupy sú rovnaké
ZHODA	EKV			$\overline{A \oplus B}$ $AB + \bar{A}\bar{B}$		1	oba vstupy sú rovnaké
						0	vstupy sú nerovnaké

B	A	Y
0	0	1
0	1	1
1	0	1
1	1	0

B	A	Y
0	0	1
0	1	0
1	0	0
1	1	0

B	A	Y
0	0	0
0	1	1
1	0	1
1	1	0

B	A	Y
0	0	1
0	1	0
1	0	0
1	1	1

EXL-OR = X-OR

EKV = X-NOR

Zápis logickej funkcie, Pravdivostná tabuľka

V ľavej časti obsahuje všetky možné kombinácie vstupných nezávislých premenných **C,B,A**. (2^n n-počet nezávislých vstupných premenných). Pravá strana **Y** - hodnoty závislej premennej pre danú kombináciu

Pr.: vytvor PT pre detektor "2 z 3"

	C	B	A	Y
0	0	0	0	0
1	0	0	1	0
2	0	1	0	0
3	0	1	1	1
4	1	0	0	0
5	1	0	1	1
6	1	1	0	1
7	1	1	1	0

Vektorový zápis logickej funkcie

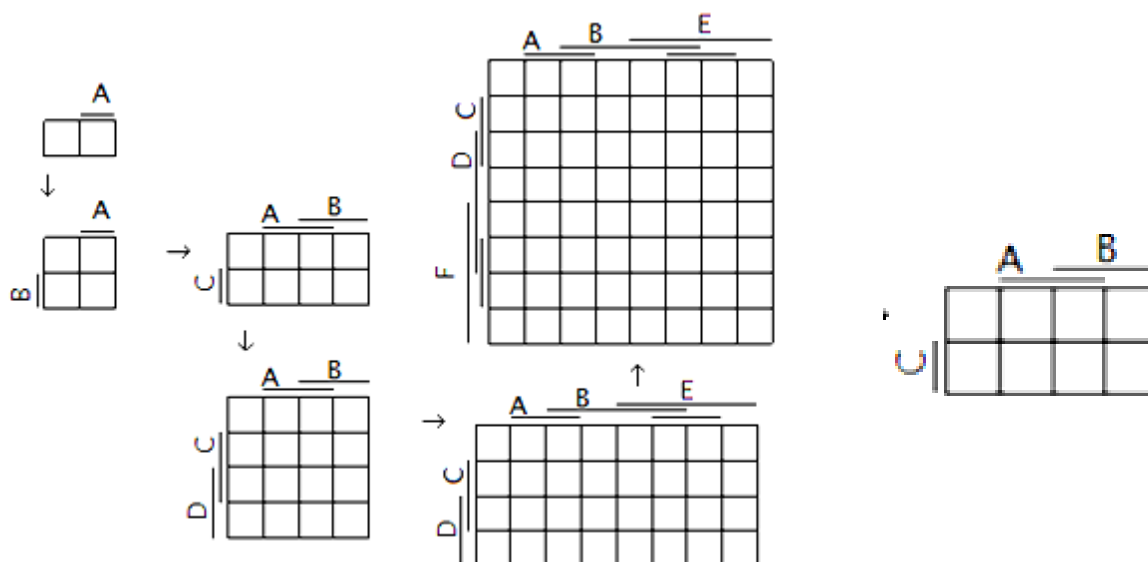
Vektor $Y(CBA)=00010110$

D - disjunktívna forma $Y=1$ $Y(CBA)=D(3,5,6)$

K - konjunktívna forma $Y=0$ $Y(CBA)=K(0,1,2,4,7)$

Karnaughova mapa

Grafický zápis logickej funkcie - každému bodu definičného oboru závislej premennej je priradený jeden štvorček do ktorého vpíšeme hodnotu závislej premennej. $Y=(0,1,X)$. Mapu tvorí 2^n štvorčkov, kde n - je počet nezávislých premenných. Oblasť pod, resp. za symbolom nezávislej premennej je oblasť, kde nezávislá premenná nadobúda hodnotu logická 1.



Pr: PT do KM

Boolova algebra

Z(1) Komutatívny zákon

$$A+B = B+A \quad A \cdot B = B \cdot A$$

Z(2) Asociatívny zákon

$$A \cdot (B \cdot C) = (A \cdot B) \cdot C$$

$$A + (B + C) = (A + B) + C$$

Z(3) Distributívny zákon

$$A \cdot B + A \cdot C = A \cdot (B + C)$$

$$(A + B) \cdot (A + C) = A + B \cdot C$$

Z(4) Zákon dvojitej negácie

$$\overline{\overline{A}} = A$$

Z(5) Zákon vylúčenia tretej možnosti

$$A + \overline{A} = 1$$

$$A \cdot \overline{A} = 0$$

Z(6) Zákon agresívnosti

$$A \cdot 0 = 0$$

$$A + 1 = 1$$

Z(7) Zákon neutrálnosti

$$A \cdot 1 = A$$

$$A + 0 = A$$

Z(8) Zákon absorpcie

$$A + A = A$$

$$A \cdot A = A$$

$$A \cdot (A + B) = A$$

$$A + AB = A$$

Z(9) Zákon absorpcie negácie

$$A + \overline{A}B = A + B \quad \text{odvodená forma : } \overline{A} + AB = \overline{A} + B$$

Z(10) Zákon o vytvorení negácie súčtu a negácie súčinu (DeMorganove zákony)

$$\overline{A + B + C} = \overline{A} \cdot \overline{B} \cdot \overline{C}$$

$$\overline{A \cdot B \cdot C} = \overline{A} + \overline{B} + \overline{C}$$

Výpis funkcie z pravdivostnej tabuľky

Súčtová forma - logický súčet základných logických súčinov (**mintern**).

Základný logický súčin je súčin všetkých nezávislých premenných, pri ktorých závislá logická funkcia je v stave **logická 1**.

Nezávislá premenná sa zapisuje **priamo**, ak jej hodnota je **log.1**. Ak nadobúda hodnotu **log.0**, zapisuje sa s **negáciou**. Je to úplná **normálna disjunktívna forma**. Skratka DIF.

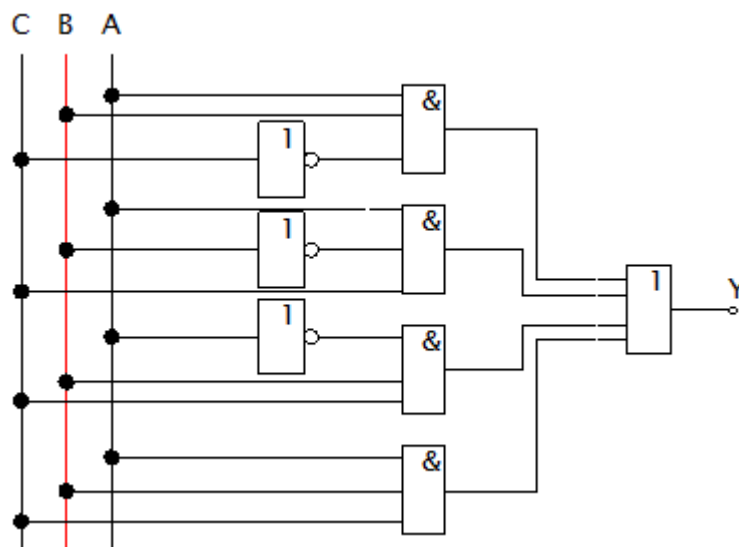
Pr: Tajné hlasovanie 3 osôb, hlas je platný, ak sú stlačené aspoň 2 tlačidlá.

	C	B	A	Y	
0	0	0	0	0	
1	0	0	1	0	
2	0	1	0	0	
3	0	1	1	1	$AB\overline{C}$
4	1	0	0	0	
5	1	0	1	1	$A\overline{B}C$
6	1	1	0	1	$\overline{A}BC$
7	1	1	1	1	ABC

$$Y = AB\overline{C} + A\overline{B}C + \overline{A}BC + ABC$$

Na realizáciu logického obvodu potrebujeme 3 x NOT, 4 x 3AND, 1 x 4OR

Logický obvod realizujúci logickú funkciu $Y = AB\bar{C} + A\bar{B}C + \bar{A}BC + ABC$



Súčinová forma- logický súčin základných logických súčtov (**maxtern**)

Základný súčet je súčet všetkých nezávislých premenných pri ktorých závislá logická funkcia je v stave **logická 0**.

Nezávislá premenná sa zapisuje **priamo**, ak jej hodnota je **log.0**. Ak nadobúda hodnotu **log.1**, zapisuje sa s **negáciou**. Je to **úplná normálna konjunktívna forma**. Skratka KOF.

Pozn.: Používame vtedy, ak logická funkcia má „malý počet 0“. Logický obvod prevažne navrhujeme z NAND, preto používame disjunktívnu formu.

	C	B	A	Y	
0	0	0	0	0	$\bar{A} + \bar{B} + \bar{C}$
1	0	0	1	0	$\bar{A} + \bar{B} + C$
2	0	1	0	0	$A + \bar{B} + \bar{C}$
3	0	1	1	1	
4	1	0	0	0	$A + B + \bar{C}$
5	1	0	1	1	
6	1	1	0	1	
7	1	1	1	1	

$$Y = (A+B+C).(\bar{A} + \bar{B} + C).(A + \bar{B} + \bar{C}).(A + B + \bar{C})$$

Na realizáciu logického obvodu potrebujeme 3 x NOT, 4 x 3OR, 1 x 4AND

Minimalizácia log. funkcie - Karnaughova grafická metóda

Hľadanie mnohočlenov, ktoré sa líšia len v jednej premennej, sa v mape premietne do združovania susedných štvorčiek do pravidelných konfigurácií.

Susedné políčka sú tie, ktoré sa dotýkajú hranou, alebo by sa dotýkali hranou, keby sme mapu stočili do valca po výške alebo po šírke ako aj tie, ktoré by ležali na sebe po prenutí mapy na polovicu.

Konfigurácie sú pravidelné obrazce združujúce susedné políčka s hodnotou 1, ktoré orámujeme kontúrou. Počet združených susedných štvorčiek musí byť len 2^K , t.j. 1,2,4,8,16,... vo štvorcovom alebo obdĺžnikovom zoskupení.

Snažíme sa o čo najmenší počet najrozmernejších kontúr, pretože každej kontúre zodpovedá jeden redukovaný základný logický súčin.

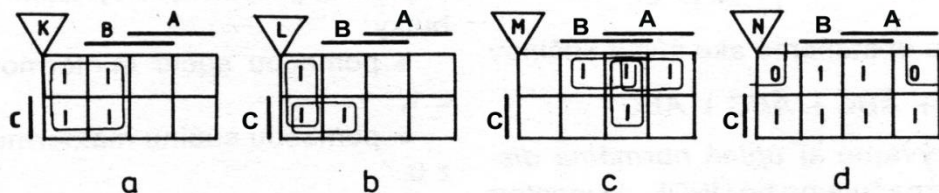
Redukovaný logický súčin nezávisle premenných zapíšeme takto:

- Ak je kontúra v oblasti, kde nezávisle premenná nadobúda hodnotu log.1, napíšeme písmeno premennej priamo (A).
- Ak je kontúra v oblasti, kde nezávisle premenná nadobúda hodnotu log.0, napíšeme písmeno premennej s negáciou ($\bar{A}$).
- Ak kontúra zasahuje do oboch oblastí, t.j. aj do oblasti log.0, aj do oblasti log.1, premennú vynecháme.

Zápis funkcie dostaneme priamo v minimálnej súčtovej forme , t.j. ako súčet redukovaných súčinov, ktoré definujú každú kontúru, kde je hodnota funkcie 1.

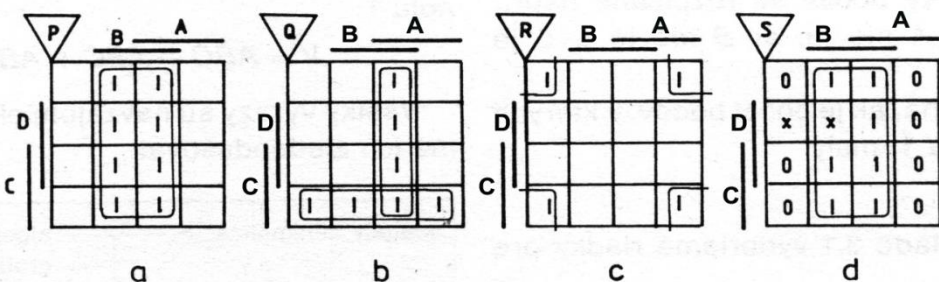
Plochy vytvorené konfiguráciami sa môžu prekryvať, to znamená že políčko môže patriť do viacerých kontúr.

Nepoužité premenné, ktoré môžu mať hodnotu 1 aj 0 a sú označené x, považujeme sa takú hodnotu, ktorá je výhodnejšia na uzavretie väčšej kontúry, ale nie na zväčšenie počtu kontúr.



Obr. 3.9. Minimalizácia funkcií

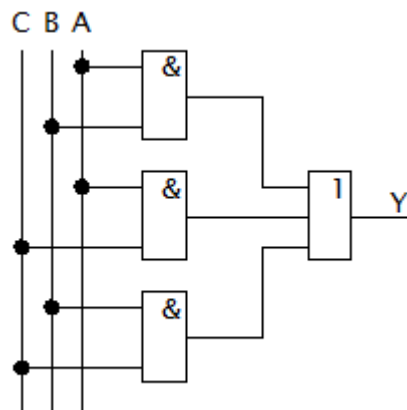
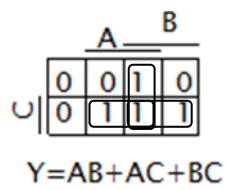
a) $K = \bar{A}$, b) $L = \bar{A}\bar{B} + \bar{A}C$, c) $M = A\bar{C} + AB + B\bar{C}$, d) $N = B + C$



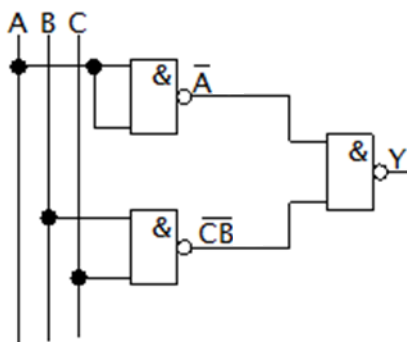
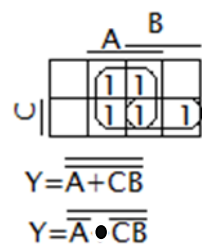
Obr. 3.10. Minimalizácia funkcií

a) $P = B$, b) $Q = AB + C\bar{D}$, c) $R = \bar{B}\bar{D}$, d) $S = B$

Pr: Minimalizuj KM a navrhni LO.



Pr: Minimalizuj KM a navrhni pomocou NAND.



Analýza logického obvodu

Analýza LO - rozbor činnosti už realizovaného obvodu.

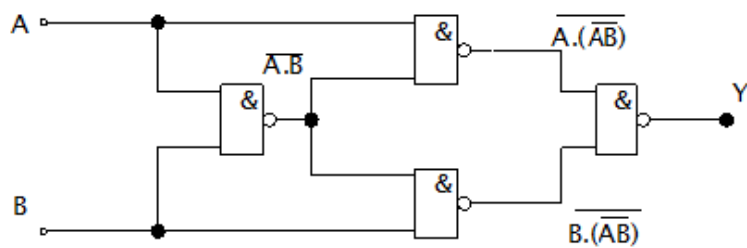
Postup:

1) v schéme zapíšeme výstupné funkcie členov

2) podľa väzieb určíme algebraický výraz

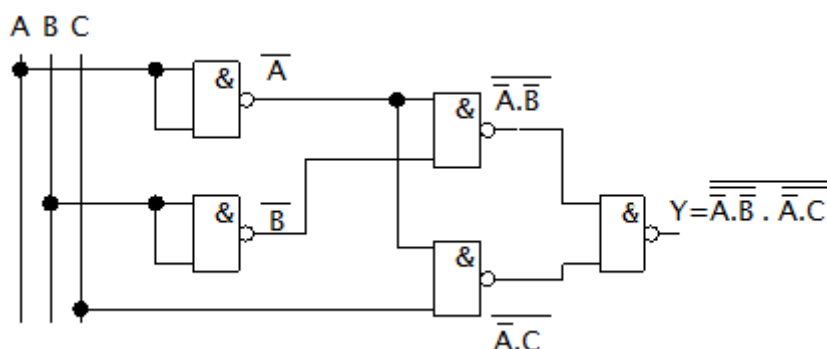
3) zostavíme pravdivostnú tabuľku

analýza



$$\begin{aligned} Y &= \overline{A \cdot (AB)} \cdot \overline{B \cdot (AB)} = \\ &= \overline{A \cdot (\overline{A+B})} \cdot \overline{B \cdot (\overline{A+B})} = \\ &= \overline{A\overline{A} + A\overline{B}} \cdot \overline{B\overline{A} + B\overline{B}} = \\ &= \overline{A\overline{B}} \cdot \overline{B\overline{A}} = \overline{A\overline{B}} + \overline{B\overline{A}} = \overline{A\overline{B}} + \overline{B\overline{A}} \end{aligned}$$

X-OR



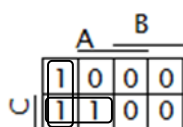
Syntéza logického obvodu

Syntéza LO - návrh obvodu z existujúcej pravdivostnej tabuľky

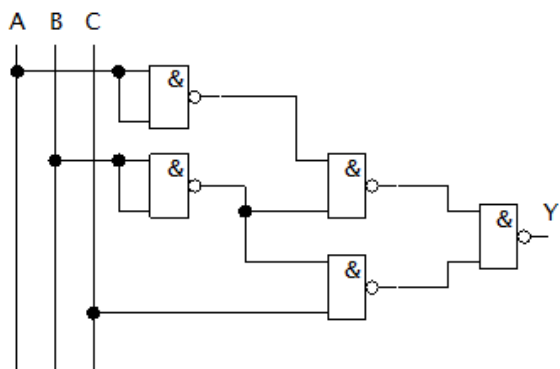
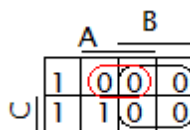
Kritéria návrhu: 1) NAND

2) NOR

3) MSI (MX,DX,X-OR)



$$Y = \overline{\overline{A} \cdot \overline{B}} + \overline{\overline{B} \cdot \overline{C}} = \overline{\overline{\overline{A} \cdot \overline{B}} \cdot \overline{\overline{B} \cdot \overline{C}}}$$



Klasifikácia logického obvodu

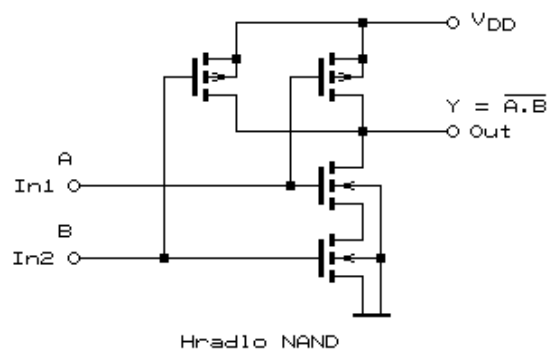
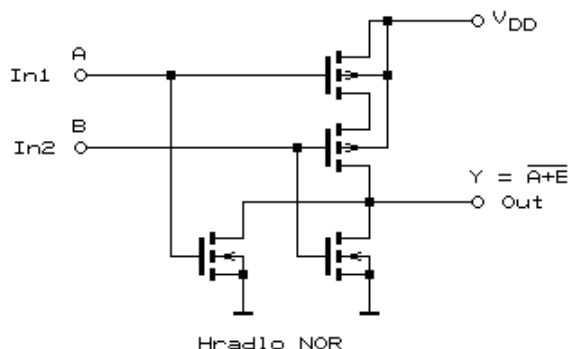
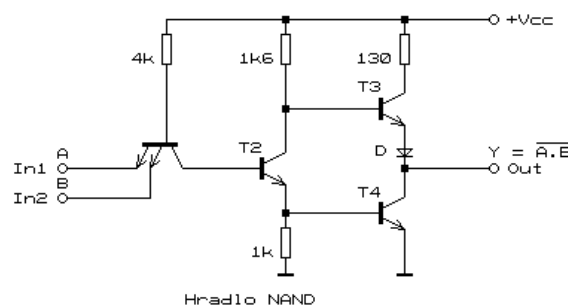
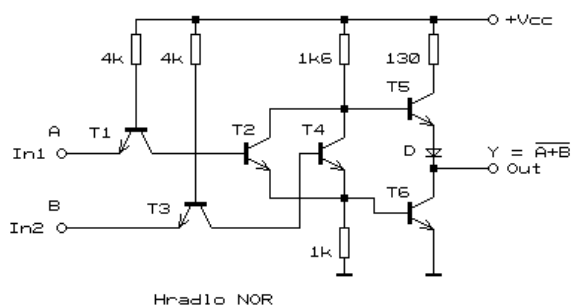
1) podľa technológie výroby :

- TTL logika- vyrobené z bipolárnych tranzistorov (riadené prúdom)
- CMOS logika- vyrobené z unipolárnych tranzistorov (riadené napätím)

2) podľa použitia :

- komerčné 7400
- MIL „vojenské“- väčší rozsah pracovných teplôt, väčšie prúdové a napäťové limity, väčšia spoľahlivosť 5400,8400

Reálne zapojenie 2 vstupových obvodov TTL a CMOS.



Označovanie logických obvodov

1)TTL

74 xxx -komerčná
54 xxx -MIL
Použitie funkcie LO

2) CMOS

4 xxx
14 xxx (MIL)
funkcia

Obvody TTL a CMOS nie sú navzájom kompatibilné ani vo funkcií ani v rozmiestnení pinov

3)CMOS v TTL púzdení

54/74HCTxxx - podskupina CMOS obvod, ktorý je kompatibilný s TTL logikou označením a rozmiestnením pinov obvodu. Náhrada je možná, ak sú prúdové charakteristiky tohto obvodu dostatočné v porovnaní s TTL obvodom.

Základný sortiment log. obvodov

TTL: - MH 7400 – 4 x 2 NAND
- MH 7402 – 4 x 2 NOR
- MH 7403 – 4 x 2 NAND OK
- MH 7404 – 6 x NOT
- MH 7410 – 3 x 3 NAND
- MH 7420 – 2 x 4 NAND

CMOS: - 4000 – 2 x 3 NOR
- 4001 – 4 x 2 NOR
- 4011 – 4 x 2 NAND
- 4012 – 2 x 4 NAND
- 4071 – 4 x 2 OR
- 4072 – 2 x 4 OR

VLASTNOSTI :

TTL logika

-nevýhodou je vysoká prúdová spotreba (100mW/hradlo -74xx, 2mW/hradlo - 74LSxx Shotkyho TTL)

-výhodou je vysoká rýchlosť (obvod 74Fxx – medzná frekvencia 125 MHz)?

CMOS logika

-jednoduchá štruktúra hradla- vysoká hustota integrácie

-napájanie 3÷18V (pre TTL 5V)

-minimálny prúdový odber (1nW/hradlo)

-citlivé na elektrostatický náboj

-malá rýchlosť, čo je dôsledok izolovanej elektródy unipolárneho tranzistora

-neschopnosť dodávať alebo odoberať prúd v dôsledku vysokej výstupnej impedancie

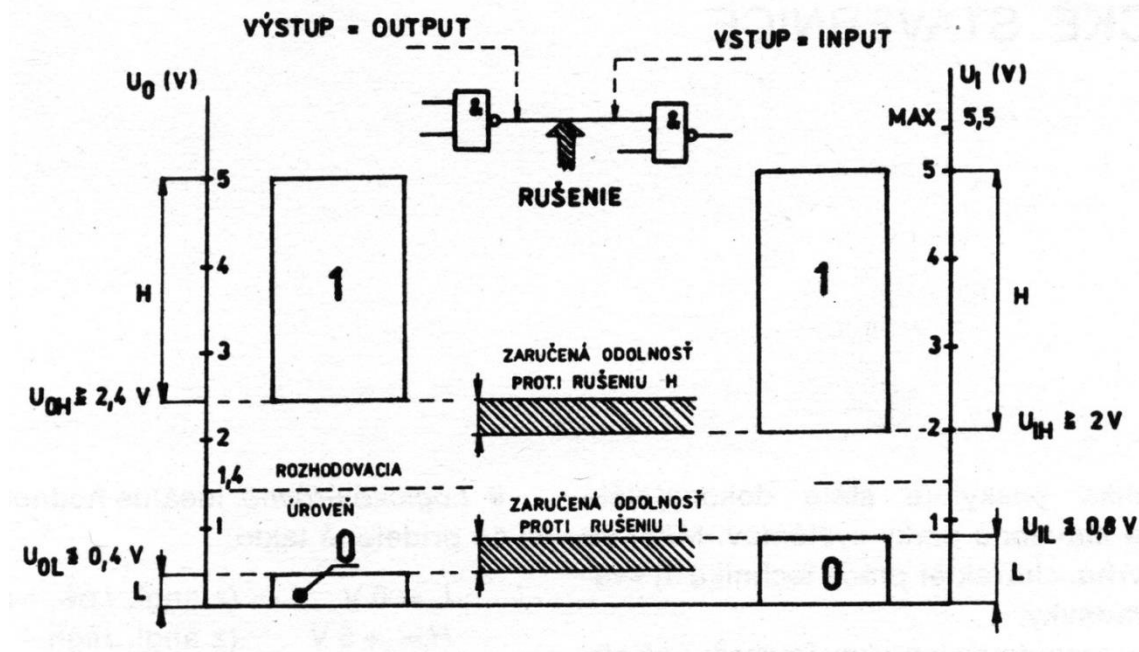
VLASTNOSTI TTL PODROBNEJŠIE:

1)napájacie napätie $U_{cc}=5V \pm 5\%, \pm 0,25V$

2)max. napätie ktoré možno trvale pripojiť na vstup log. obvodu $U_{i\max}=5,5V$

Statické parametre log. obvodov – napät'ové a prúdové charakteristiky

Napät'ové charakteristiky TTL logiky



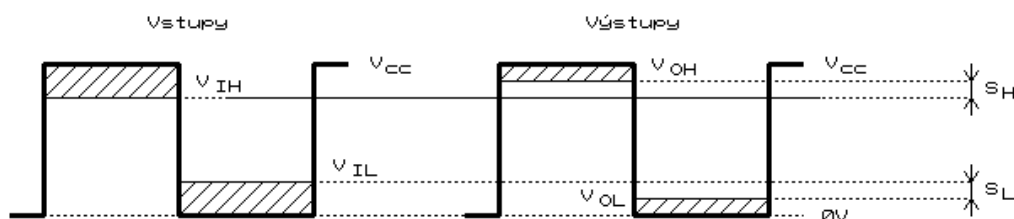
$$U_{OL} \leq 0,4V \quad U_{OH} \geq 2,4V$$

$$U_{IL} \leq 0,8V \quad U_{IH} \geq 2V$$

- vstupné napätie pre úroveň H (log. 1) $U_{IH} \geq 2V$,
- vstupné napätie pre úroveň L (log. 0) $U_{IL} \leq 0,8V$,
- výstupné napätie pre úroveň H $U_{OH} \geq 2,4V$,
- výstupné napätie pre úroveň L $U_{OL} \leq 0,4V$,

Rozhodovacia úroveň – 1,4 V, zakázané napätie (0,4V až 2V)

Parameter, ktorý opisuje odolnosť logických obvodov voči rušivým vplyvom (impulzom) pôsobiacim na vstupe sa nazýva **šumová imunita (Noise Margin)**. Udáva sa vo voltoch a predstavuje maximálnu amplitúdu rušivého vplyvu, ktorý ešte nenaruší správnu činnosť logického obvodu.



$$S_L = V_{IL} - V_{OL}$$

$$S_H = V_{OH} - V_{IH}$$

Napr. pre TTL: $S_L = 0,8 - 0,4 = 0,4V$

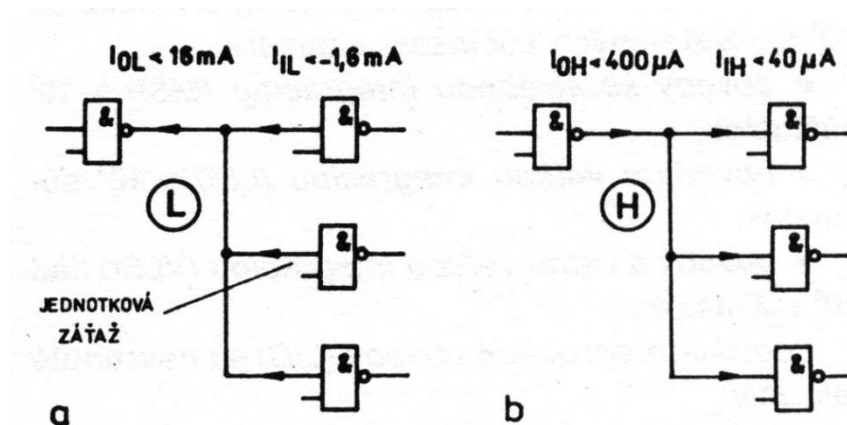
$S_H = 2,4 - 2,0 = 0,4V$

V číslicových obvodoch existujú dva základné druhy rušenia charakterizované buď pomalými zmenami dlhodobého trvania alebo naopak rýchlymi zmenami. Patria sem:

Zmeny napájacích napätí napájacích zdrojov, úbytky napätí na napájacích alebo zemniacich vodičoch, kolísanie úrovní signálov vplyvom tolerancií, záťaže, teploty.

Vlastné rušenie vznikajúce v číslicovom systéme napr. vplyvom induktívnych alebo kapacitných väzieb (presluch) medzi vodičmi, veľkými prúdovými zmenami (impulzami) na spoločných napájacích rozvodoch, odrazmi signálov na neprispôsobených vedeniach.

Prúdové charakteristiky TTL logiky



$$I_{OL} = 16 \text{ mA} \quad I_{IL} = -1.6 \text{ mA}$$

$$I_{OH} = 400 \mu\text{A} \quad I_{IH} = 40 \mu\text{A}$$

Pri návrhu i realizácii logických systémov pripájame vstupy logických obvodov k výstupom iných logických obvodov. Počet vstupov, ktoré môžeme pripojiť na jeden výstup nie je neobmedzený. Rozhodujúcimi parametrami sú vstupný a výstupný prúd logického obvodu pre obidve logické úrovne.

Logický zisk N- udáva počet logických členov, ktoré môžeme pripojiť na výstup logického člena.

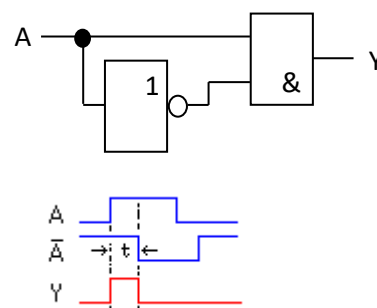
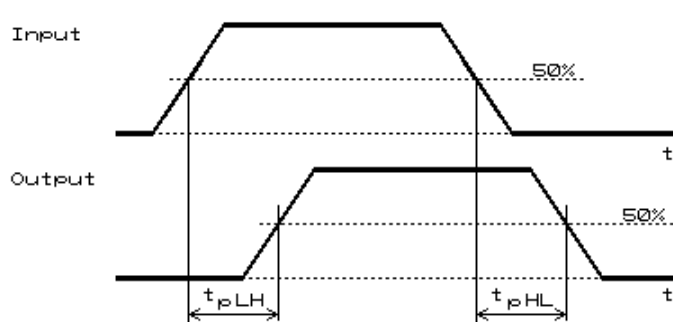
Dynamické parametre

Sem patria maximálna pracovná frekvencia, oneskorenie signálu na výstupe voči signálu na vstupe a hazard v log. Obvodoch.

Oneskorenie obvodu

Pri prechode signálu každým elektronickým obvodom dochádza k oneskoreniu výstupného signálu voči vstupnému - prechodové oneskorenie t_p (propagation time). Je definované pre 50% úroveň vstupných a výstupných signálov logického obvodu a môže byť špecifikované aj s vyznačením zmyslu prechodu medzi logickými úrovňami (t_{pLH} , t_{pHL}).

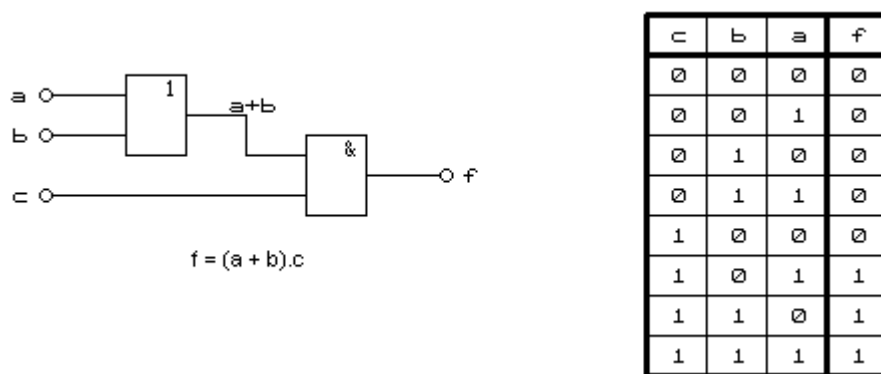
S oneskorením súvisí max. pracovná frekvencia **$F_{max} = 1/t_{pHL}$**



Hazard – v dôsledku oneskorenia v logických obvodoch vznikajú stavy, ktoré neodpovedajú popisu správania podľa pravdivostnej tabuľky daného obvodu.

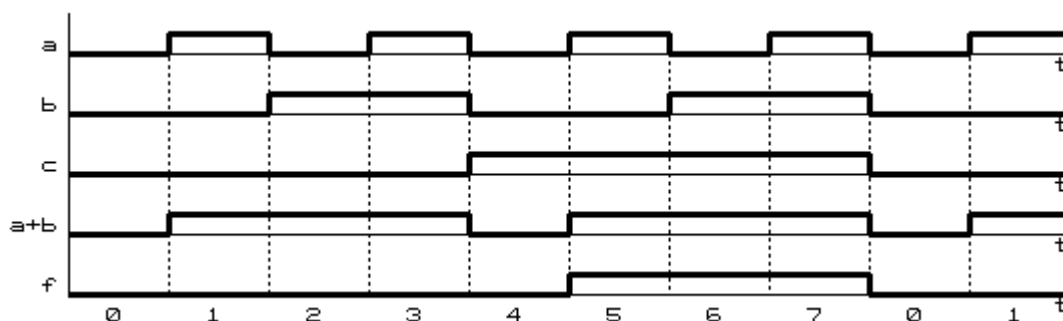
($A \cdot \bar{A} = 0$, vid'. obrázok, ale krátky časový úsek sa na výstupe objaví log. 1)

Príklad vzniku hazardu v jednoduchom kombinačnom systéme:

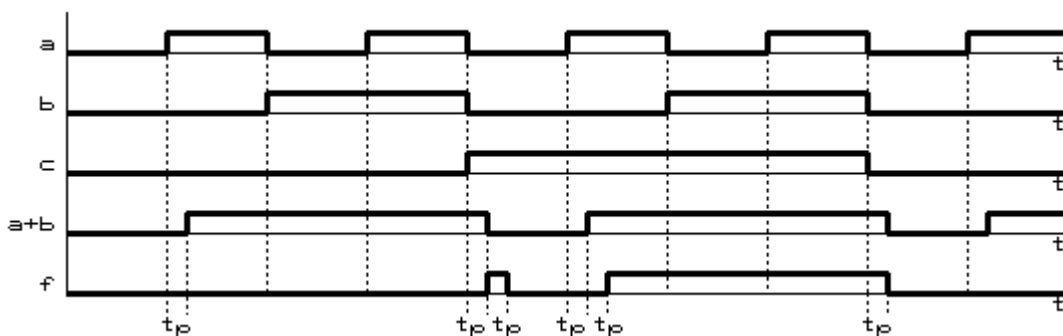


Logická schéma a pravdivostná tabuľka

Funkčná analýza



Časová analýza



Príklad vzniku hazardu v jednoduchom asynchrónnom sekvenčnom systéme:

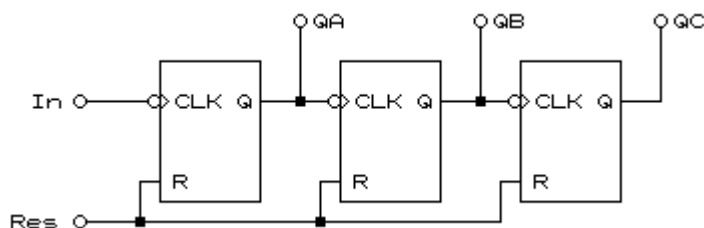
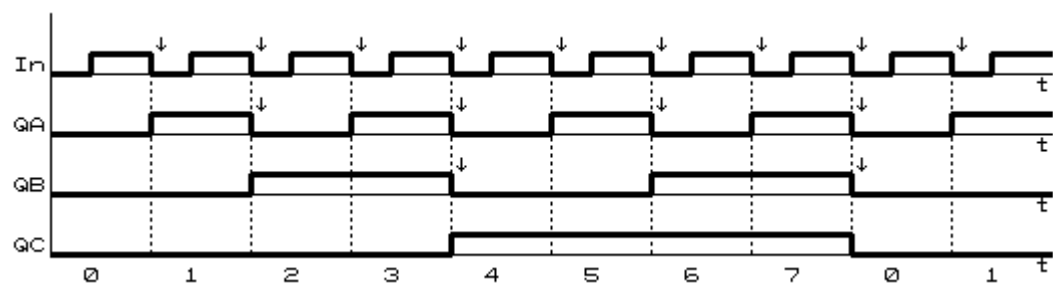
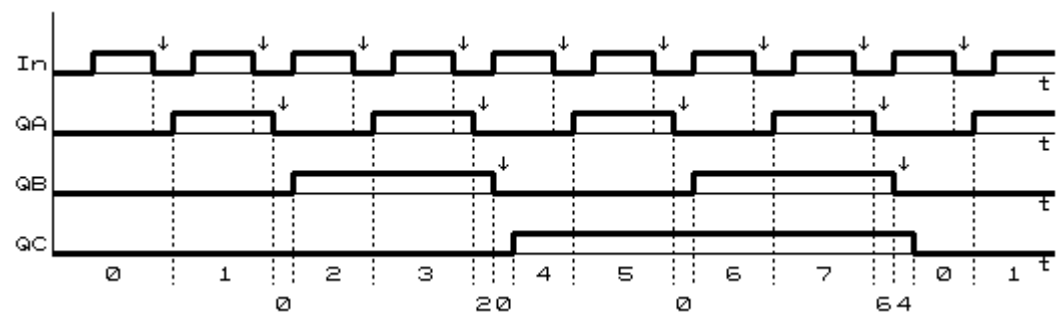


Schéma zapojenia jednoduchého asynchrónneho 3-bitového čítača

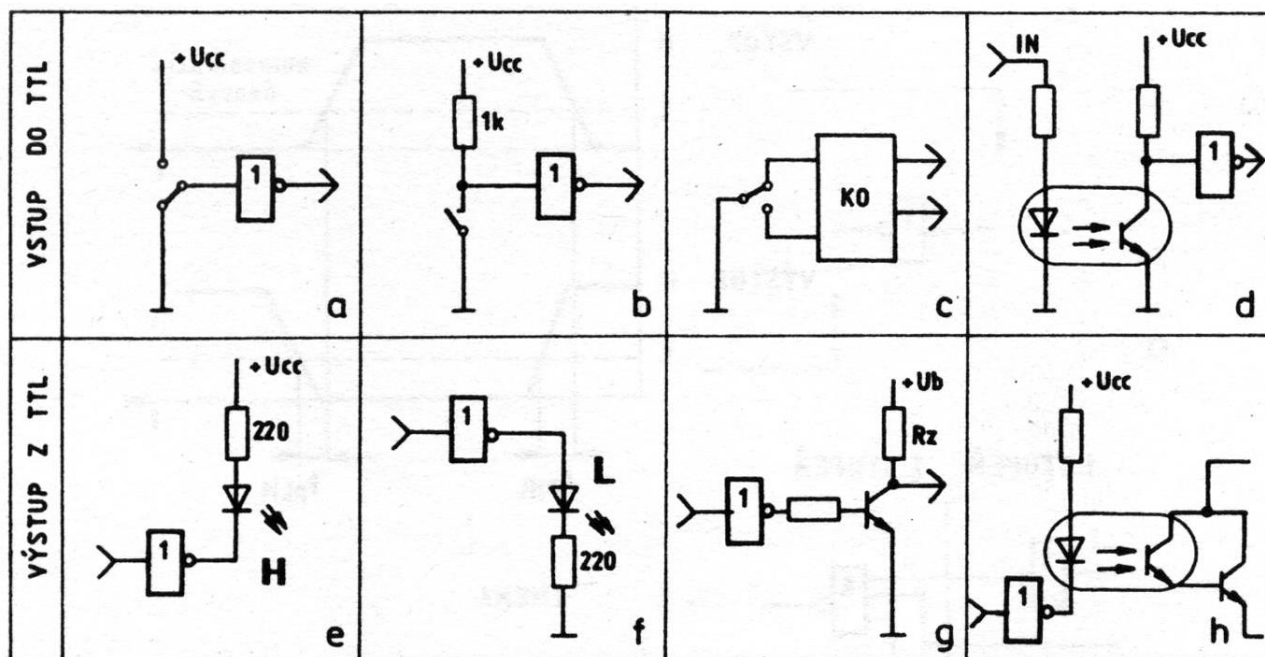
Funkčná analýza



Časová analýza



Obvody pre ovládanie vstupov a výstupov



a), b) jednoduché, generuje zákmity, prepínač musí mať medzi polohu, inak spôsobí skrat

c) KO - klopný obvod odstraňuje zákmity

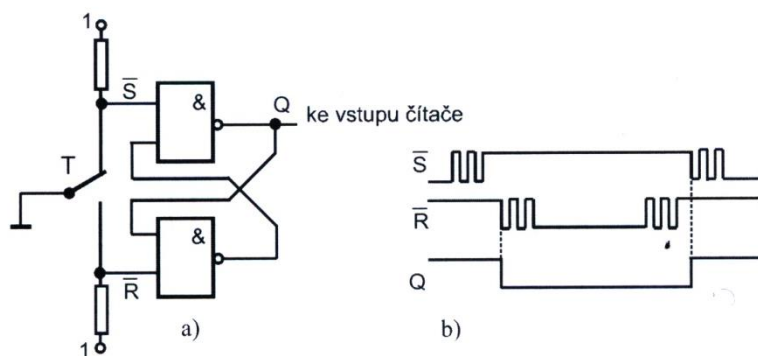
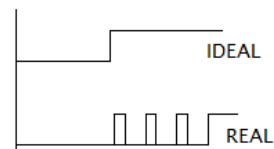
d) optočlen - galvanicky oddeľuje 2 obvody

e) LED svieti ak je výstup v stave log. 0 (v log 0 je prúd 16mA)

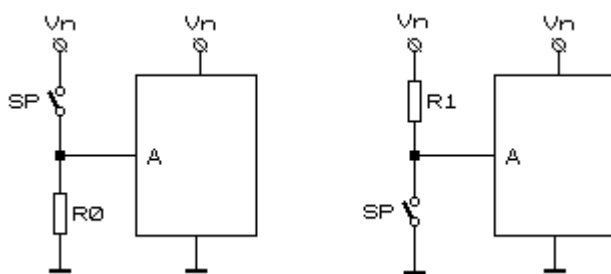
f) LED svieti ak je výstup v log. 1 (v log 1 je prúd 400uA) – preťaženie výstupného tranzistora, nepoužívať!

g) Logický obvod dodáva prúd max. 16mA, ak chceme ovládať „väčší“ spotrebič (väčší prúd, napätie) musím použiť tranzistorový zosilňovač

h) galvanicky oddeľuje „logiku“ a výkonovú časť obvodu

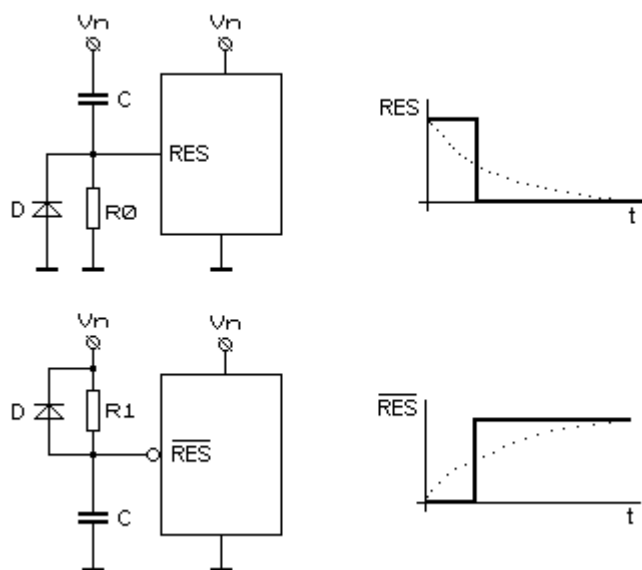


Prepínanie logických úrovní prepínačom - dátové a riadiace vstupy



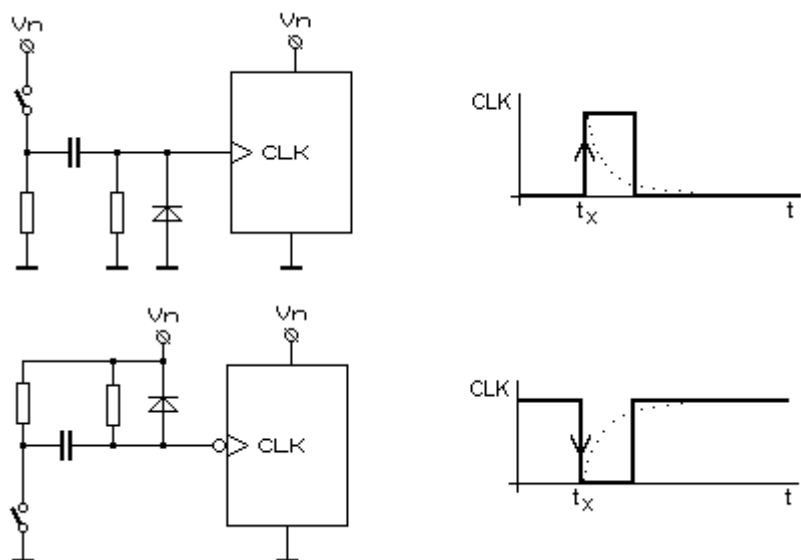
- dobré (pozor, spínače bývajú označené 0 a 1, čo prináša problémy pre niektoré zapojenia - spínač je zapojený obrátene)

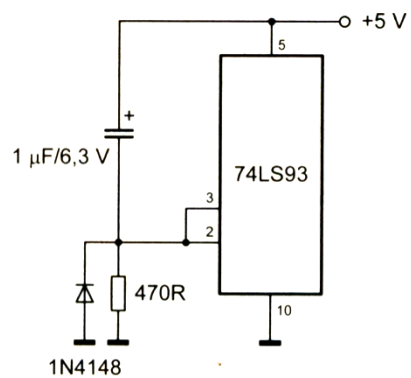
Ošetrenie inicializačných vstupov - napr. vstup RESET, INI



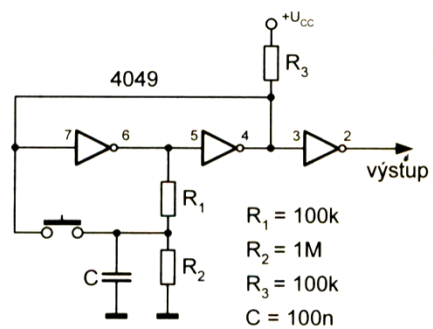
Nepoužívame spínač ani prepínač, ale vyžaduje sa automatická funkcia pomocného obvodu napr. pri zapnutí napájacieho napätia - vygenerovanie nulovacieho impulzu na definovanie počiatočného stavu hlavne sekvenčných obvodov.

Ak sú vstupy citlivé na hranu impulzu, snažíme sa vygenerovať úzky impulz so zachovanou zodpovedajúcou hranou kôli potlačeniu doby zopnutia spínača.





Obr. 8.34 Nulování čítače 74LS93 po připojení napájení

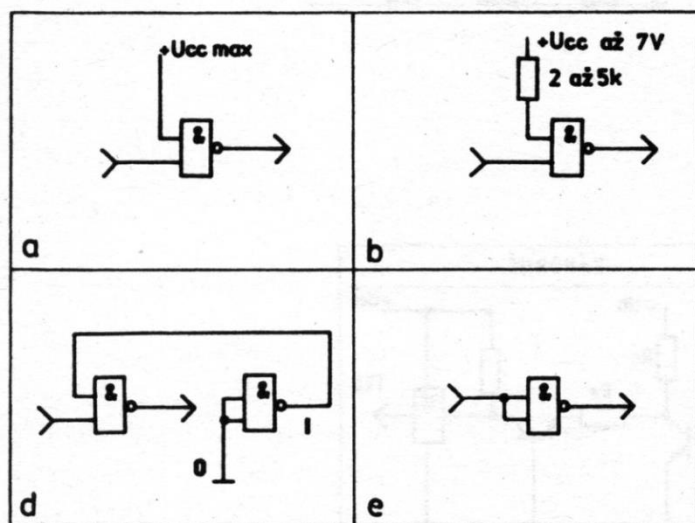


Obr. 8.35 Upravené zapojení z obr. 8.10 s nulováním po zapnutí (přejato z ARadia 2/1999)

4012

Ošetrovanie vstupov

Nepoužité vstupy log. obvodu musia byť ošetrené, t.j. každý vstup log. člena musí byť pripojený na určitú napäťovú úroveň. Zvyšuje spoľahlivosť, platí hlavne pre CMOS. Privediem na vstup takú napäťovú úroveň, ktorá mi neovplyvní danú log. funkciu!!

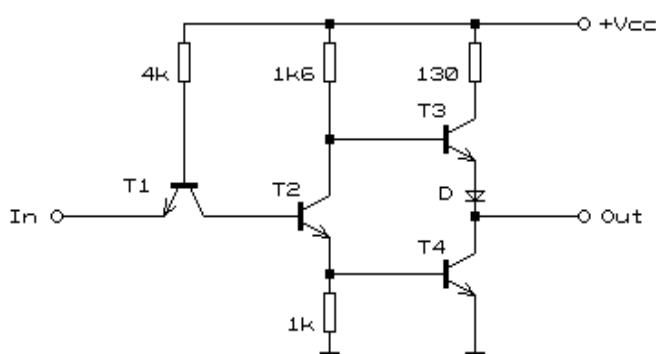


b) rezistor R - obmedzuje skratový prúd pri poruche

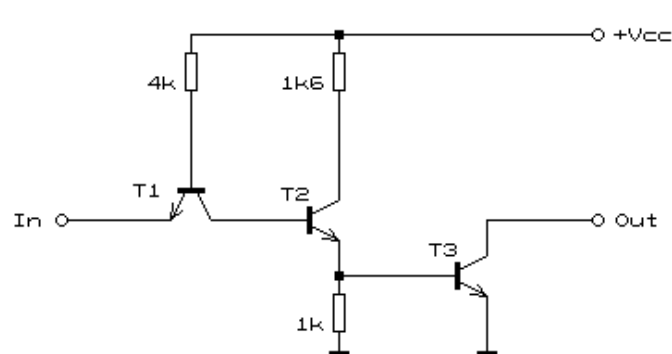
d) použijem len vtedy, ak mám „zvyšný“ log. člen

e) dvojnásobne zaťažuje výstup predchádzajúceho log. člena

Výstupy logických členov:



Aktívny výstup TTL hradla.



Pasívny výstup TTL hradla - otvorený kolektor OK

Verzie:

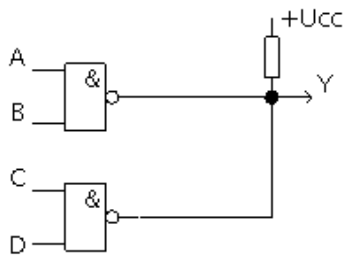
Aktívny výstup TTL hradla.

- štandard (základná verzia)

- výkonová (výstupné prúdy sú asi 3x väčšie ako pre štandard)

Pasívny výstup TTL hradla - otvorený kolektor –OK. Umožňuje pripojenie rôznych záťaží (výkonová a vysokonapäťová verzia) a zbernicový systém práce.

Prepojenie výstupov obvodu s otvoreným kolektorom OK



$$Y = \overline{AB + CD + \dots}$$

$$x \cdot y = \text{out}$$

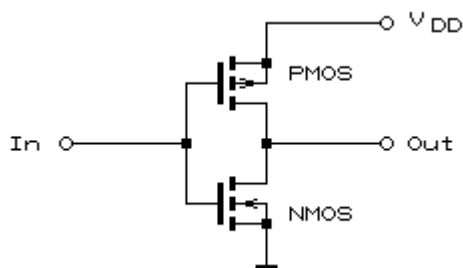
$$\overline{AB} \cdot \overline{CD} = \text{out}$$

$$\overline{AB + CD} = \text{out}$$

X	Y	out
0	0	0
0	1	0
1	0	0
1	1	1

Výstupy log. členov je možné naozaj spojiť len vtedy ak sa jedná o prevedenie „otvorený kolektor“

Aktívny výstup CMOS invertora



Trojstavový výstup - bipolárne i unipolárne obvody.

Princíp funkcie spočíva v zatvorení obidvoch výstupných tranzistorov prostredníctvom riadiacej logiky. Tieto obvody teda musia mať riadiaci vstup na uvedenie výstupu do tretieho stavu.

Tabuľka parametrov jednotlivých rodín logických obvodov

Parameter	TTL	TTL LS	HC	HCT	CMOS 4000
$I_{VST \log.0}$ [mA]	-1,4	-0,36	$-6 \cdot 10^{-3}$	-10^{-3}	-10^{-3}
$I_{VST \log.1}$ [mA]	0,04	0,1	$6 \cdot 10^{-3}$	10^{-3}	10^{-3}
$I_{VYST \log.0}$ [mA]	20	4	4	6	0,4
$I_{VYST \log.1}$ [mA]	-0,4	-0,4	-4	-6	-0,4
Napájacie napätie [V]	4,75 až 5,25	4,5 až 5	2 až 7	4,5 až 5	3 až 15
$U_{VST \log.0}$ [V]	0 až 0,8	0 až 0,8	0 až 1	0 až 0,8	0 až 1,5
$U_{VST \log.1}$ [V]	2 až 5	2 až 5	3,5 až 5	2 až 5	3,5 až 5
$U_{VYST \log.0}$ [V]	0 až 0,4	0 až 0,4	0 až 0,5	0 až 0,3	0 až 0,5
$U_{VYST \log.1}$ [V]	2,4 až 5	2,7 až 5	4,5 až 5	4,5 až 5	4,5 až 5
Logický zisk N [ks]	10	20	600	6000	400
Doba nábehu t_N [ns]	20	2 až 5	15	12	60
Doba poklesu t_P [ns]	15	2 až 5	15	12	60
Šum. imunita $\log.0$ [V]	0,4	0,4	0,5	0,5	1
Šum. imunita $\log.1$ [V]	0,4	0,7	1	2,5	1

TTL (Transistor-Transistor Logic)

HC (High speed CMOS)

CMOS (Complementary MOS)

TTL LS (Low power & Schottky)

HCT (High speed CMOS compatible with TTL)

púzdro DIL 14

